

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-92650

⑮ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)4月3日

B 41 J 2/45
2/455

7612-2C B 41 J 3/21

L※

審査請求 未請求 請求項の数 1 (全11頁)

⑬ 発明の名称 発光素子アレイ

⑰ 特 願 昭63-246629

⑱ 出 願 昭63(1988)9月30日

⑲ 発 明 者 楠 田 幸 久 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内

⑲ 発 明 者 刀 根 潔 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内

⑲ 発 明 者 山 下 建 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内

⑲ 発 明 者 田 中 修 平 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内

⑳ 出 願 人 日本板硝子株式会社 大阪府大阪市東区道修町4丁目8番地

㉑ 代 理 人 弁理士 大野 精市
最終頁に続く

明 細 書

1. 発明の名称

発光素子アレイ

2. 特許請求の範囲

(1) しきい電圧もしくはしきい電流を制御するための制御電極を有する積層半導体型発光素子を多数個、一次元、二次元、もしくは三次元的に配列し、各発光素子の制御電極を、近傍に位置する少なくとも2つの発光素子の制御電極と互いに電気的手段にて接続したネットワーク配線を形成し、各発光素子に、外部から電圧もしくは電流を印加させるクロックラインを接続した発光素子アレイであって、

該電気的手段が、該発光素子の、バイアス電圧が印加される第1導電型半導体に接する第2導電型半導体制御電極間を抵抗素子を用いて接続したものであることを特徴とする発光素子アレイ。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、例えば発光素子を同一基板上に集積

した、発光素子アレイへの自己走査機能の付与に関するものである。

【従来の技術】

発光素子の代表的なものとしてLED (Light Emitting Diode) 及びLD (Laser Diode) が知られている。

LEDは化合物半導体 (GaAs、GaP、AlGaAs等) のPNまたはPIN接合を形成し、これに順方向電圧を加えることにより接合内部にキャリアを注入し、その再結合の過程で生じる発光現象を利用するものである。

またLDはこのLED内部に導波路を設けた構造となっている。あるしきい値電流以上の電流をながすと注入される電子-正孔対が増加し反転分布状態となり、誘導放射による光子の増倍 (利得) が発生し、へき両面などを利用した平行な反射鏡で発生した光が再び活性層に帰還されレーザ発振が起こる。そして導波路の端面からレーザ光が出ていくものである。

これらLED、LDと同じ発光メカニズムを有

3)

=れ

4

て

する発光素子として発光機能を有する負性抵抗素子（発光サイリスタ、レーザサイリスタ等）も知られている。発光サイリスタは先に述べたような化合物半導体でPNPN構造を作るものであり、シリコンではサイリスタとして実用化されている（青木昌治編著、「発光ダイオード」工業調査会、pp167~169参照）。

この発光サイリスタの基本構造及び電流-電圧特性を第9図、第10図に示す。第9図に示す構造は、N形GaAs基板上にPNPN構造を形成したもので通常のサイリスタとまったく同じ構成である。第10図も同様に通常のサイリスタとまったく同じS字形負性抵抗を表している。サイリスタも第9図の2端子のみでなく、第11図に示す3端子サイリスタも知られている。この3端子サイリスタのゲートはON電圧を制御する働きを持ち、ON電圧はゲート電圧に拡散電位を加えた電圧となる。またONした後、ゲート電極はカソード電位とほぼ一致するようになる。カソード電極が接地されていればゲート電極は浮ボルトとなる。

ている一つ一つのLEDをワイヤボンディング等の技術により駆動ICに接続し、このICで一つ一つのLEDを駆動させる必要があった。このためLEDの数が多の場合、同数のワイヤボンディングが必要で、かつ、駆動ICも数多く必要となりコストが高くなってしまふという欠点があった。またこれは駆動ICを設置するスペースを確保することが必要となり、コンパクト化が困難という欠点を誘発していた。またLEDを並べるピッチもワイヤボンディングの技術で定まり、短ピッチ化が難しいという欠点があった。

そこで発明者は発光素子アレイ自身に自己走査機能をもたせることにより、先に挙げたワイヤボンディングの数の問題、駆動ICの問題、コンパクト化、短ピッチ化の問題を解決する発明を行なった（特願昭63-85392、「発光素子アレイとその駆動方法」）。この先の発明の内容を以下簡単に記す。

先の発明の主旨は、発光素子のターンオン電圧または電流が、べつの発光素子のON状態によっ

またこの発光サイリスタは外部から光を入射することによりそのしきい電圧が低下することが知られている。

さらにこの発光サイリスタの中に導波路を設けLEDとまったく同じ原理でレーザサイリスタを形成する事もできる（田代他、1987年秋応用物理学会講演、番号18p-ZG-10）。

これらの様な発光素子、特にLEDは化合物半導体基板上に多数個作られ、切断されて一つ一つの発光素子としてパッケージングされ販売されている。また密着イメージセンサ用及びプリンタ用光源としてのLEDは一つのチップ上に多数個のLEDを並べたLEDアレイとして販売されている。

一方密着形イメージセンサ、LEDプリンタ等では読み取るポイント、書き込むポイントを指定するため、これら発光素子による発光点の走査機構（光走査機構）が必要である。

しかし、これらの従来の発光素子を用いて光走査を行うためには、LEDアレイのなかに作られ

て影響を受けるよう、即ち、相互作用をするよう構成することにより発光の自己走査機構を実現することである。

第12図に先の発明の実施例の第1の例を示す。これは発光素子として先に述べた発光サイリスタを用い、発生した光の一部が隣接する発光サイリスタに入射するよう構成したもので、光が入った発光サイリスタのON電圧が低下する現象を利用するものである。今転送クロックパルスφ₁がハイレベルとなり、発光サイリスタT(0)がONしているとすると、このためその隣側に位置する発光サイリスタT(-1)、T(1)のON電圧が低下する。このため次の転送クロックパルスφ₁にハイレベル電圧が印可されるとT(1)のみONさせる事が可能となる。これから自己走査を行なうことができる。

第13図に第12図の構成のデバイス構造を示す。N形GaAs基板上にP形(23)、N形(22)、P形(21)からなる発光サイリスタを設け、それぞれのP形(21)層に接地した電極(40)に転送クロックラインを接続した構成とな

っている。動作は先に説明した通りである。

第14図に先の発明の実施例の第2の例を示す。第11図に示した三端子サイリスタのゲート端子 R_1 、 R_2 をお互いに接続した構成である。今転送クロックパルス ϕ_1 がハイレベル電圧となり発光サイリスタ $T(0)$ がON状態になっているとする。このときノードG₀はほぼ零ボルトとなっている。すると抵抗ネットワークから電流が流れ、発光サイリスタ $T(0)$ に近いノードが最も電圧が引き下げられ、離れていくほど影響は少なくなる。次の転送クロック ϕ_1 にハイレベル電圧が加わると発光サイリスタ $T(1)$ と $T(2)$ がON可能となるが、ノードG₁のほうがノードG₀より低い電圧となっているため、発光サイリスタ $T(1)$ のみをONさせることができる。これから自己走査を行なうことができる。

第15図に第14図の構成のデバイス構造を示す。N形GaAs基板上にP形(23)、N形(22)、P形(21)からなる発光サイリスタを設け、それぞれのP形(21)層に接触した電極(

本発明は電気的手段により接続する方法を改良し、電気的手段により接続する方法によっても、簡単な製造工程にて製造することを可能とするものである。

製造方法を簡単化するための手段として、先の発明の例で示したような発光素子のクロックラインの接続された第1導電型半導体に接する第2導電型半導体(前記例ではN形ゲート電極)間を抵抗 R_1 、 R_2 を介して電気的に接続する方法(電位結合)を取らず、発光素子のバイアス電圧が印加される第2導電型半導体に接する第1導電型半導体(前記例ではP形ゲート電極)間を抵抗で接続(電位誘導結合)するよう構成したものである。さらに好ましくは、接続用抵抗を発光素子のゲート層(前記例ではP形半導体層)そのものを使用するよう構成したものである。これにより製造方法をより簡略化することが可能となる。

本発明は、しきい電圧もしくはしきい電流を制御するための制御電極を有する積層半導体型発光素子を多数個、一次元、二次元、もしくは三次元

40)に転送クロックラインを接続し、またそれぞれのN形(22)層に接触したゲート電極(41)を R_1 、 R_2 でお互いに接続した構成となっている。この動作は第14図と全く同じである。

以上簡単に説明した先発明により、ワイヤボンディングの数の問題、駆動ICの問題、コンパクト化、短ピッチ化の問題等を解決することが可能となった。

【発明が解決しようとする課題】

第12図、第13図の構成例(光結合による方法)ではゲート電極を設ける必要がなく構造が簡単で、簡単な製造工程で製造できる。しかしながら第14図、第15図に示した構成例(電気的接続による方法)ではゲート電極を設ける必要があること、及び抵抗 R_1 、 R_2 を設けこれらをお互いに内部接続する必要がある等、構造が比較的複雑で製造工程も複雑となっている。このため電気的接続による方法では製造コストが比較的高くなるという問題点があった。

【課題を解決するための手段】

的に配列し、各発光素子の制御電極を、近傍に位置する少なくとも2つの発光素子の制御電極と互いに電気的手段にて接続したネットワーク配線を形成し、各発光素子に、外部から電圧もしくは電流を印加させるクロックラインを接続した発光素子アレイであって、該電気的手段を、該発光素子の、バイアス電圧が印加される第1導電型半導体に接する第2導電型半導体制御電極間を抵抗素子を用いて接続したものである。

本発明に使用する積層半導体型発光素子としては、しきい電圧もしくはしきい電流が外部から制御可能な素子、例えばP導電型半導体領域及びN導電型半導体領域を積層した負性抵抗を有する発光素子、を用いることができる。

また、該抵抗素子として該発光素子を形成する第1または第2導電型半導体層を用いると、製造方法をより簡略化できるので好ましい。

【作用】

本発明では、発光素子のバイアス電圧が印加される第1導電型半導体に接する第2導電型半導体

(ゲート電極) 同を低抵抗素子で接続しているため、ONした発光素子から電気的手段にて接続された発光素子へ電流が流れ込み、電気的手段にて接続された発光素子のしきい電圧を低下し、ON状態転送(自己走査)の引き金を形成する。

さらには、該低抵抗素子として発光素子の第2導電型半導体層(ゲート層)を使用できるため、実施例にて詳細に説明するようにより簡単な製造工程で自己走査可能な発光素子アレイ製造することが可能となる。

【実施例】

<実施例1>

実施例1の原理の等価回路図を第1図に示す。これは発光しきい電圧、電流が外部から制御できる発光素子の一例として、最も簡単な三端子の発光サイリスタを用いた場合を表している。発光サイリスタ $T(-2) \sim T(+2)$ は一列に並べられた構成となっている。各発光サイリスタはトランジスタ T_1 、 T_2 の組合せとして表わされる。トランジスタ T_1 はPNPトランジスタであり、トラン

ジスタ T_2 はNPNトランジスタである。発光サイリスタ同の接続用抵抗 R_i はNPNトランジスタ T_2 のベース間に接続される。各発光サイリスタのアノード電極に、3本の転送クロックライン(ϕ_1 、 ϕ_2 、 ϕ_3)が順次繰り返していっばんづつ接続される。クロックラインには、クロックラインの電流制限用抵抗 R_e が設けられる。

動作を説明する。まず転送クロック ϕ_1 がハイレベルとなり、発光サイリスタ $T(0)$ がONしているとする。この時、NPNトランジスタ $T_2(0)$ のベースは発光サイリスタ $T(0)$ のON電流を流せる電位に設定されている。この電位が接続抵抗 R_i を通じて接続する発光サイリスタ $T(-1)$ 、 $T(1)$ のNPNトランジスタ $T_2(-1)$ 、 $T_2(1)$ のベースに伝達され、これらのベース電流が流れる。但し転送クロックライン ϕ_1 、 ϕ_2 がローレベルである限り発光サイリスタ $T(-1)$ 、 $T(1)$ はOFF状態のままである。さてこの接続抵抗 R_i が小さければNPNトランジスタ $T_2(-1)$ 、 $T_2(1)$ は発光サイリスタ $T(0)$ のON電流と同じ電流を流す能力を持っている。

しかし接続抵抗 R_i が大きければ、NPNトランジスタ $T_2(-1)$ 、 $T_2(1)$ のベース電流が接続抵抗 R_i により制限され、NPNトランジスタ $T_2(-1)$ 、 $T_2(1)$ の電流駆動能力は低下する。NPNトランジスタ $T_2(-1)$ 、 $T_2(1)$ よりさらに遠方に位置するNPNトランジスタ $T_2(-2)$ 、 $T_2(2)$ のベース電流はさらに小さくなり、これらの電流駆動能力はもっと低下することになる。

このNPNトランジスタ T_2 のベース電流量、即ち電流駆動能力が大きくなると発光サイリスタのON電圧が低下することが知られている。第2図にその様子を示す。横軸がアノード電圧(PNPトランジスタ T_1 のエミッタ電圧)であり、縦軸がアノード電流である。ここで、ON電圧 V_s は外部から全く影響のない場合のON電圧であり、ON電圧 $V_s(1)$ は発光サイリスタ $T(1)$ の、ON電圧 $V_s(-2)$ は発光サイリスタ $T(-2)$ のON電圧を表わす。ON状態を意地するために必要な最小電流はホールド電流 V_h と呼ばれる。ONしている発光サイリスタ $T(0)$ に最も近い発光サイリスタ $T(-1)$ 、

$T(1)$ は上に述べた理由でON電圧が低下し、ON電圧 $V_s(1)$ になる。次に近い発光サイリスタ $T(-2)$ 、 $T(2)$ はベース電流の影響が小さくON電圧 $V_s(-2)$ となる。

さて第1図においてクロックパルス ϕ_1 の次のクロックパルス ϕ_2 は発光サイリスタ $T(1)$ 、 $T(-2)$ に印加される。これらのON電圧は上に述べた理由からそれぞれON電圧 $V_s(1)$ 、 $V_s(-2)$ の値となっているため、クロックパルスのハイレベル電圧をON電圧 $V_s(1)$ 、 $V_s(-2)$ の間に設定しておくことと発光サイリスタ $T(1)$ のみをONさせることができる。これから各クロックパルス ϕ_1 、 ϕ_2 、 ϕ_3 をそのハイレベルが互いに重なりあうように設定しておくこと、ON状態発光素子が順次転送されていくことになる。これから自己走査可能な発光素子アレイを実現することができる。

以上より本実施例では発光素子間を接続する抵抗が1つで済み、これから簡単な製造工程にて形成できることがわかる。

本実施例では転送クロックパルスが3相の場合

で動作を説明したが、3相以上であってももちろん動作する。さらに第1図では発光素子を一列に並べているが、配列を直線にする必要はなく、応用によって蛇行させてもよいし、途中から二列以上に増やすことも可能である。またこの説明では発光サイリスタに限定して説明したが同様な機能を持つデバイスであればこれに限られず何であっても良い。

本発明の別の実施例でも説明するが、発光素子としてレーザサイリスタであってもよい。この駆動方法は発光素子を単体部品で構成してもよく、また次の実施例で示すようになんらかの方法により集積化してもよい。

<実施例2>

実施例1では等価回路を示し説明したが、実施例2では実施例1を集積化して作成する場合の構成について説明するものである。本実施例の要点は電気的結合を行なうための接続用抵抗を発光素子の一部を利用して設けることにより、発光サイリスタと同じ工程で、抵抗素子まで形成すること

を示し、そのまわりの部分はP形半導体層(23)を示している。この構造においてP形半導体層(23)には切込み(55)が形成されている。これは実施例1にて説明した接続抵抗 R_c の値を変化させるためのもので、切込み(55)を大きく取れば接続抵抗 R_c は大きくなる。従って本実施例では接続抵抗 R_c を自由に变化させ、最適化させることができ、駆送動作をより安定化させることが可能となる。

本実施例の構成は実施例1(第1図)に示した等価回路と全く同じ構成であり、全く同じ動作をする。従って、駆送クロック ϕ_1 、 ϕ_2 、 ϕ_3 のハイレベル電圧を順番に互いに少しづつ重なるように設定すれば、発光サイリスタのON状態は順次駆送されていく。即ち、発光点が順次駆送される。

以上より本実施例ではゲート電極を設ける必要がなく、かつ発光素子間を接続する抵抗が1つで済み、さらには接続抵抗 R_c を発光素子を構成する半導体層にて形成できる。これから簡単な製造工程にて形成できることがわかる。

のできる構造にある。

本発明の構造断面概念図を第3図に示す。接地されたN形GaAs基板(1)上にN形半導体層(24)、P形半導体層(23)、N形半導体層(22)、P形半導体層(21)の各層を形成する。そしてホトリソグラフィ等及びエッチングにより、各単体発光素子T(-2)~T(2)に分割する(分離溝(50))。

N形GaAs基板(1)はこのサイリスタのカソードとして働き接地される。各単体発光素子のアノードとなるP形半導体層(21)には駆送クロックライン ϕ_1 、 ϕ_2 、 ϕ_3 がそれぞれ2素子おきに接続される。この構成において特徴はサイリスタを構成するP形半導体層(23)が各素子を通して接続されていることである。このP形半導体層(23)の内部抵抗が実施例1の第1図に示した接続抵抗 R_c となる。

第4図に構造平面概念図を示す。これは第3図を上からみた図となっている各発光素子T(-2)~T(2)において内側の四角形はP形半導体層(21)

本実施例では駆送クロックパルスとして、 ϕ_1 、 ϕ_2 、 ϕ_3 の3相を想定したが、より安定な駆送動作を求める場合にはこれを4相、5相と増加させてもよい。

また本実施例では発光サイリスタの構造を最も簡単な場合について示したが、発光効率を上げるために、より複雑な構造、層構成を導入することも本発明の趣意に含まれる。その具体的な例としてダブルヘテロ構造の採用が挙げられる。一例を第16図に示す(田代他1987年専応用物理学会講演、番号28p-2E-8)。これはN形GaAs基板上に0.5 μ mのN形GaAs層を積み、その上にバンドギャップの広いN形AlGaAsを1 μ m、P形GaAs層を5nm、N形GaAs層を1 μ m、バンドギャップの広いP形AlGaAsを1 μ m、そして取り出し電極とのオーミック接触をとるためのP形GaAs層を0.15 μ m積層した構成である。発光層は同様に積まれた、1 μ mのN形GaAs層である。これは注入された電子、正孔がバンドギャップの狭いGaAs層に閉じ込められ、この領域で再結合し

発光する。

またここではPNPNのサイリスタ構成を例に説明したが、この電位を検知し、しきい電圧が低下し、これを利用して駆送動作を行わせるという構成は、PNPN構成のみに限られず、その機能が達成できる素子であれば特に限定されない。例えば、PNPN4層構成でなく、8層以上の構成でも同様な効果を期待でき、まったく同様な自己駆送機能を達成することが可能である。さらには静電誘導(SI)サイリスタまたは電界制御サイリスタ(FCT)と呼ばれるサイリスタを用いてもまったく同様であり、本考案に含まれるものである。このSIサイリスタまたはFCTは電流ブロックとして働く中央のP形半導体層を空乏層で置き換えた構造となっている(S. M. Sze 著、Physics of Semiconductor Devices, 2nd Edition pp238-240)。

<実施例3>

実施例3を第5図、第6図に示す。この実施例は実施例2の、より現実的な形態を示したもので

ための切込み溝である。本断面図では示していないが接続用抵抗R₁はP形半導体層(23)(この例ではGaAs層)を用いている。絶縁層(30)は、アノード電極(40)と各半導体層との電気的分離を行なっている。この絶縁層(30)の材質として発光素子間の光分離という意味で本発光素子からの光が透過しないような物質を用いることが望ましい。またはこの層を複数の層からなる多層膜とし、絶縁機能と光分離機能を持たせてもよい。但し光分離機能を持たせた場合、光が外部に取り出せるように窓部を別に設けておく必要がある。層間絶縁層(31)はアノード電極(40)とクロックラインとの絶縁分離を行なう。

本実施例3の製造工程を説明する。まずN形GaAs基板(1)上にN形GaAs層(24b)、N形AlGaAs層(24a)、P形GaAs層(23)、N形GaAs層(22)、P形AlGaAs層(21b)、P形GaAs層(21a)の各層を順次形成する。そして分離溝(50)を形成し、発光素子間の分離を行なう。次に切込み溝(55)を形成し、接

る。第5図に本実施例の平面図を、第6図に第5図のX-X'ラインの断面図を示す。

平面図第5図について説明する。駆送クロックラインφ₁、φ₂、φ₃はスルーホールC₂を通して下にあるアノード電極(40)に接続される。このアノード電極(40)はコンタクト孔C₁を通して各発光素子のP形半導体層(21a)に接続される。各発光素子T(-2)~T(2)に於て、四角形のP形半導体層(21a)の外側に描かれているのはP形半導体層(23)である。この層は実施例2で述べたように切込み(55)が刻まれ、接続抵抗R₁が最適化できるよう構成されている。

断面図第6図について説明する。発光素子はN形GaAs基板上にN形GaAs層(24b)、N形AlGaAs層(24a)、P形GaAs層(23)、N形GaAs層(22)、P形AlGaAs層(21b)、P形GaAs層(21a)の各層を形成する。そしてホトリソグラフィ等及びエッチングにより、各単体発光素子に分離する(分離溝で50))。また層(55)は接続用抵抗R₁の値を変化させる

抵抗R₁の形成を行なう。絶縁膜(30)を形成し、コンタクト孔(C₁)を設ける。電極(40)を形成する。層間絶縁膜(31)を形成して、スルーホールC₂を設け、クロックライン電極φ₁、φ₂、φ₃を形成する。以上の工程により本実施例3の構造が完成する。

以上より本実施例ではゲート電極を設ける必要がなく、かつ発光素子間を接続する抵抗が1つで済み、さらには接続抵抗R₁を発光素子を構成する半導体層にて形成できる。これから簡単な製造工程にて形成できることがわかる。

この工程の順序は必ずしも上記のとおりである必要はなく、例えば分離溝(50)と切込み溝(55)の形成順序が逆転していてもよい。また第4図の上にさらに透光性絶縁膜を設け、信頼度を向上させるようにしてもよい。さらには発光素子上の絶縁膜が厚くなり光透過率が低下することを避ける。発光素子の上部絶縁膜の一部または全部をホトエッチング等の方法により除去してもよい。またここでは半導体層としてGaAs、AlGaAs

Asを用いたが、これに限らず他の半導体を用いてもよい。

<実施例4>レーザへの応用

いままでの実施例の説明は発光素子として発光サイリスタを念頭に説明してきた。しかし本発明は発光サイリスタに限られるものでなく、例えばレーザサイリスタを用いても全く同様に動作する。以下の実施例にてレーザサイリスタを用いた場合を説明する。

第7図、第8図に実施例4の構造図を示す。これは本発明をレーザに適用した場合を示す。第7図は本実施例4の平面図を、第8図は断面図を示す。

製造方法を概説する。N形GaAs基板(1)上にN形AlGaAs(25)、P形AlGaAs(24)、I形(ノンドープ)GaAs(23)、N形AlGaAs(22)、P形AlGaAs(21)、上部電極(20)を順次積層する(P形AlGaAs(21)と上部電極(20)との間にオーミック接触を良好とするためにP形GaAs層を挟む場合もある)。

よる光遮蔽膜を設ける必要がある可能性があるからである。次にホットエッチングによりコンタクト穴(C1)を設け、伝送クロックライン用の配線金属を蒸着またはスパッタ等により形成し、ホットエッチングにより伝送クロックライン(φ1、φ2、φ3)を形成する。そして最後にへき開等の手法によりレーザ光出力側の端面を平行度よく形成し、本実施例の構造ができあがる。

尚レーザの構造は本構造にかぎられるものではなく、例えばTJS形、BH形、CSP形、VSI形等を用いてももちろんよい(S. N. Sze 著、Physics of Semiconductor Devices, 2nd Edition pp724-730)。また材料についてもAlGaAsを主体に説明したが、これ以外の材料(例えばAlGaInP、InGaAsP、ZnSe等)であってもよい。尚、以上述べてきた本発明の一連の実施例は基板として半導体基板を用い、その電位を零ボルト(接地)とした例を示してきたが、本発明はこれに限られず基板として他の物質を用いてもよい。もっとも近い例でいえばクロム(Cr)等をドウ

次にホットエッチングにより上部電極(20)を图中N形AlGaAs層(25)の幅と同じ幅を持つ長方形に加工し、これをマスクとして、P形AlGaAs(21)~P形AlGaAs(24)の各層をエッチングする。この時に素子間の分離溝(50)が形成される。次にホットエッチングにより同じ上部電極(20)をさらにエッチングし、10μm以下の幅を持つストライプ状パターン(レーザサイリスタの電流注入部)を設ける。これをマスクとして、P形AlGaAs(21)N形AlGaAs(22)の層をエッチングする。N形AlGaAs(22)層は全部除去せず一部残すようにする。さらにホットエッチングにより切込み溝(55)を形成する。そして絶縁膜(30)を成膜する。この絶縁膜は絶縁と光遮蔽の二つの機能を持つようにしたもの望ましく、複数種類の膜をもちいて形成してもよい。この絶縁膜として例えばSiO₂膜を使用した場合、GaAsの発光波長である870nmを透過するため、光結合を誘発する可能性があり、その間に例えば非晶質シリコンのような光吸収物質に

ブした半導体性GaAs基板に実施例のn形GaAs基板に相当するn形GaAs層を形成し、この上に実施例で説明した構造を形成してもよい。また例えばガラス、アルミナ等の絶縁基板上に半導体膜を形成し、この半導体を用いて実施例の構造を形成してもよい。

また実施例で示してきた構成において、導電型のPとNをそれぞれ逆転してもバイアス条件等を反転すれば全く同様に動作し、本発明の範囲に含まれる。

<応用例>

以上の実施例にて説明してきた自己走査可能な発光素子アレイは先の発明(特願昭63-66392、「発光素子アレイとその駆動方法」と同じく各種応用が期待できる。例として先の発明においても説明したが光走査の密着イメージセンサ、光プリンタの書き込みヘッド、ディスプレイ等が挙げられ、これらの機器の低価格化、高性能化に大きな寄与をすることができる。

【発明の効果】

以上述べてきたように、本発明は発光素子アレイ間を低抵抗で接続することにより、より簡単な製造工程にて製造できるようにしたものであり、この発明により、先の発明で示した利点、即ち、ワイヤボンディングの数の問題、駆動ICの問題、コンパクト化、短ピッチ化等の如々の問題をさらに容易に解決することができる。

また本発明は先の発明と同じく密着イメージセンサ、光プリンタ、ディスプレイ等へ応用でき、これらの組番の性能向上、低価格化に大きく寄与することができる。

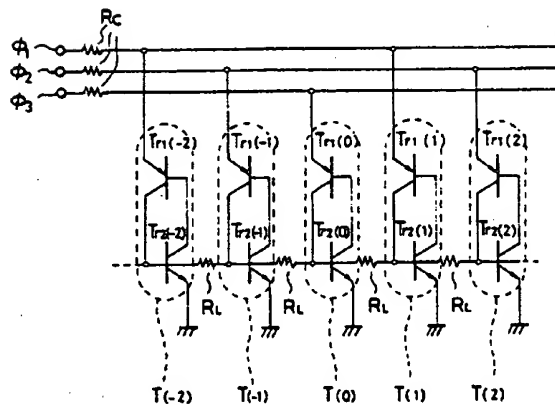
4. 図面の簡単な説明

第1図は実施例1の発光素子アレイの等価回路図、第2図は発光サイリスタの特性図、第3図は実施例2の断面図、第4図は実施例2の平面図、第5図は実施例3の平面図、第6図は実施例3の断面図、第7図は実施例4の平面図、第8図は実施例4の断面図、第9図は発光サイリスタの駆動回路を示す断面図、第10図は発光サイリスタの電流-電圧特性を示す図、第11図は3期子サイ

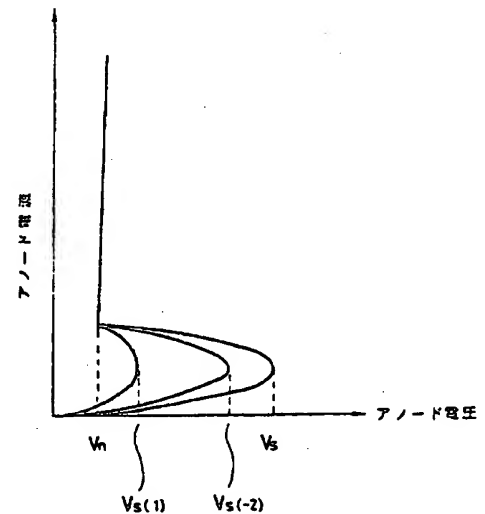
リスタの駆動回路を示す断面図、第12図は先の発明を示す図で光結合による発光素子アレイの等価回路、第13図は先の発明を示す図で光結合による発光素子アレイの駆動回路を示す断面図、第14図は先の発明を示す図で電位結合による発光素子アレイの等価回路、第15図は先の発明を示す図で電位結合による発光素子アレイの駆動回路を示す断面図、第16図はダブルヘテロ構造の発光サイリスタの駆動回路を示す断面図である。

特許出願人 日本板硝子株式会社

代理人 弁理士 大 野 和 市

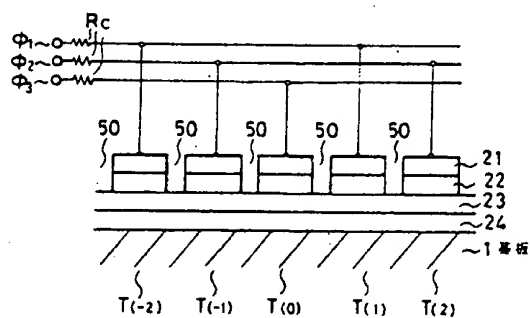


第 1 図

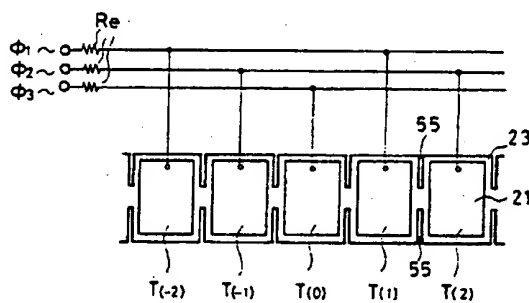


第 2 図

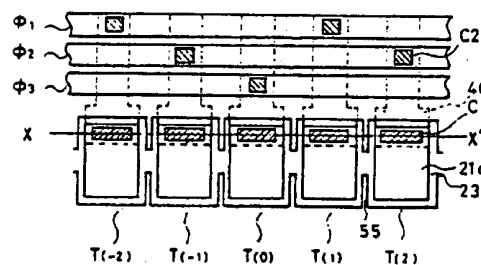
10)



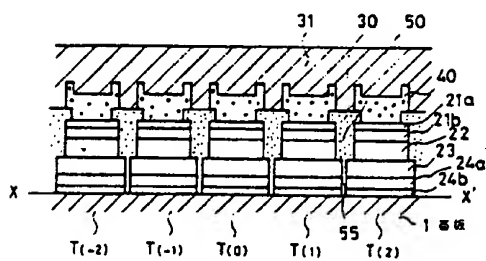
第 3 図



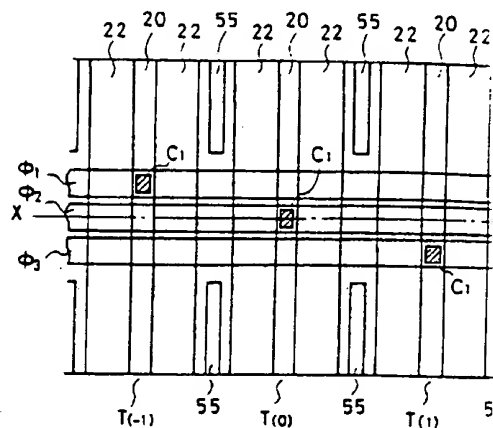
第 4 図



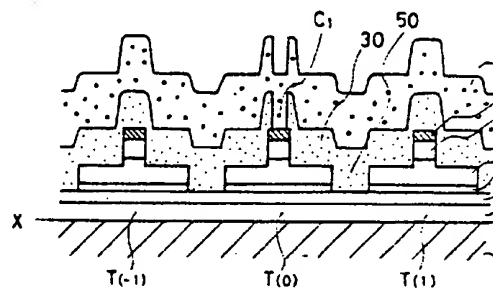
第 5 図



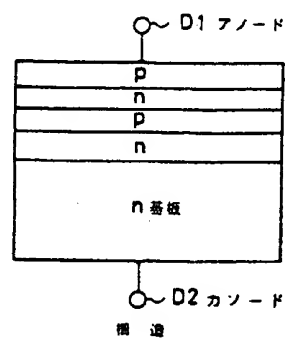
第 6 図



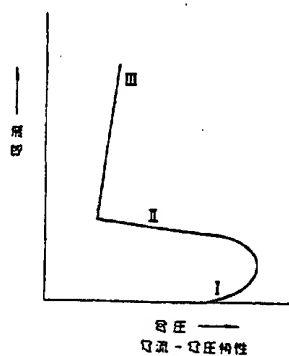
第 7 図



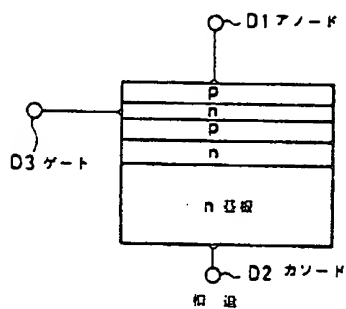
第 8 図



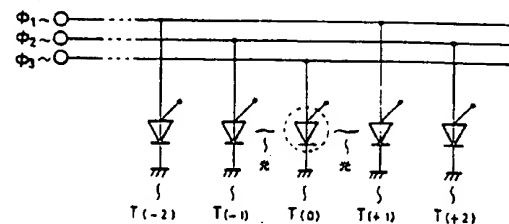
第 9 図



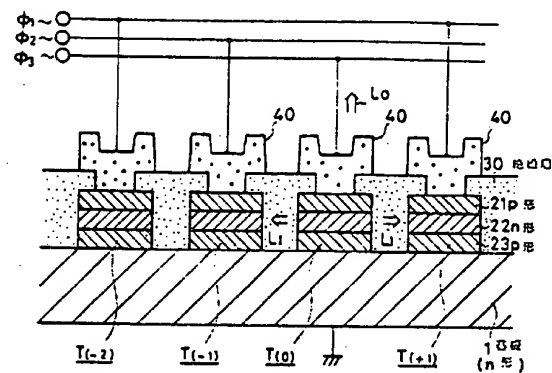
第10図



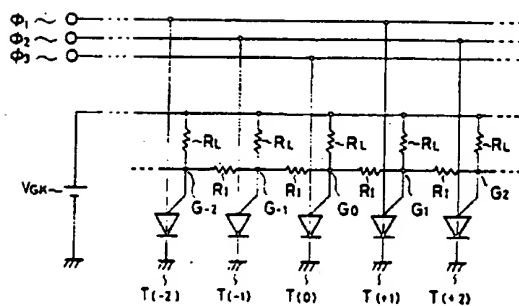
第11図



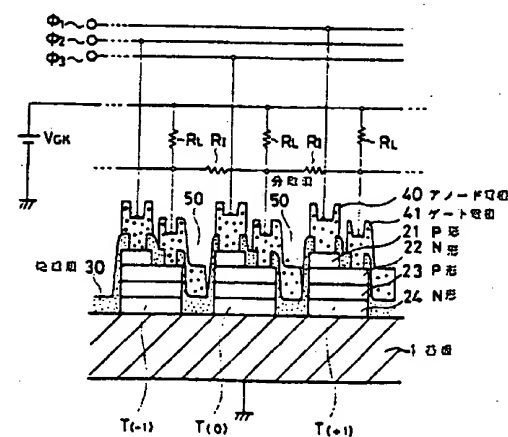
第12図



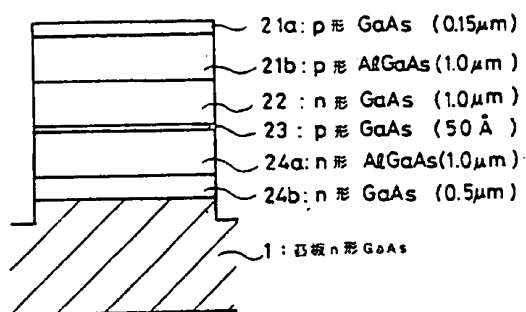
第13図



第14図



第15図



第 16 図

第 1 頁の続き

©Int. Cl.⁸

G 09 G 3/32
H 01 L 33/00

識別記号

J

庁内整理番号

6376-5C
7733-5F

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-92651

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)4月3日

B 41 J 2/45
2/455

7612-2C B 41 J 3/21

L ※

審査請求 未請求 請求項の数 1 (全11頁)

⑮ 発明の名称 発光素子アレイ

⑯ 特 願 昭63-246630

⑰ 出 願 昭63(1988)9月30日

⑱ 発 明 者 楠 田 幸 久 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内
⑲ 発 明 者 刀 根 深 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内
⑲ 発 明 者 山 下 建 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内
⑲ 発 明 者 田 中 修 平 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内
⑳ 出 願 人 日本板硝子株式会社 大阪府大阪市東区道修町4丁目8番地
㉑ 代 理 人 弁理士 大野 絹市
最終頁に続く

明 細 書

1. 発明の名称

発光素子アレイ

2. 特許請求の範囲

(1) 小さい電圧もしくは小さい電流を制御するための制御電極を有する積層半導体型発光素子を多数個、一次元、二次元、もしくは三次元的に配列し、各発光素子の制御電極を、各々の発光素子の近傍に位置する少なくとも2つの発光素子の制御電極と互いに電気的手段にて接続したネットワーク配線を形成し、各発光素子に、外部から電圧もしくは電流を印加するクロックラインを接続した発光素子アレイであって、該電気的手段が以下に示すトランジスタを用いたカレントミラー回路であることを特徴とする発光素子アレイ。

A. 各トランジスタの制御電極が各発光素子の第1の制御電極に接続されて、該トランジスタと該発光素子内のトランジスタ回路とがカレントミラー回路を形成する。

B. 該トランジスタは、制御電極が接続された

発光素子に対して一定方向に位置する近傍の発光素子の第2の制御電極に接続され、該第2の制御電極の電位が該トランジスタにより制御可能とされている。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は発光素子を同一基板上に接続した発光素子アレイへの自己走査駆動の付与と、その駆動の安定化に関するものである。

【従来の技術】

発光素子の代表的なものとしてLED (Light Emitting Diode) 及びLD (Laser Diode) が知られている。

LEDは化合物半導体 (GaAs, GaP, AlGaAs, InGaAsP, InGaAlAs等) のPNまたはPIN接合を形成し、これに順方向電圧を加えることにより接合内部にキャリアを注入、その再結合の過程で生じる発光現象を利用するものである。

またLDはこのLED内部に導波路を設けた構

速となっている。あるしきい値電流以上の電流をながすと注入される電子-正孔対が増加し反転分布状態となり、励起放射による光子の増倍(利得)が発生し、へき面などを利用した平行な反射鏡で発生した光が再び活性層に帰還されレーザ発振が起こる。そして導波路の端面からレーザ光が出ていくものである。

これらLED、LDと同じ発光メカニズムを有する発光素子として発光組織を持つ負性抵抗素子(発光サイリスタ、レーザサイリスタ等)も知られている。発光サイリスタは先に述べたような化合物半導体でPNPN構造を作るものであり、シリコンではサイリスタとして実用化されている(青木昌治著、「発光ダイオード」工務調査会、pp167~169参照)。

この発光サイリスタの基本構造及び電流-電圧特性を図6図、図7図に示す。図7図に示す構造はN形GaAs基板にPNPN構造を形成したもので通常の3端子サイリスタとまったく同じ構造である。図6図も同様に通常のサイリスタとま

一方密着型イメージセンサ、LEDプリンタ等では読み取るポイント、書き込むポイントを指定するため、これら発光素子による発光点の走査機能(光走査機能)が必要である。

しかし、これらの従来の発光素子を用いて光走査を行うためには、LEDアレイのなかに作られている一つ一つのLEDをワイヤボンディング等の技術により駆動ICに接続し、このICで一つ一つのLEDを駆動させる必要があった。このためLEDの数が多の場合、同数のワイヤボンディングが必要で、かつ、駆動ICも数多く必要となりコストが高くなってしまふという欠点があった。これは駆動ICを設けるスペースを確保することが必要となり、コンパクト化が困難という欠点を認識していた。

またLEDを並べるピッチもワイヤボンディングの技術で定まり、細ピッチ化が難しいという欠点があった。

そこで発明者らは、発光素子アレイ自身に自己走査機能をもたせることにより、先に挙げたワイ

ヤボンディングの数の問題、駆動ICの問題、コンパクト化、細ピッチ化の問題を解決する発明を行なった。(特開昭63-65392)。この先の発明の内容を以下図8に記す。

さらにこの発光サイリスタの中に導波路を設けLEDとまったく同じ原理でレーザサイリスタを形成するものもある(田代徳、1987年秋応用物配学会要旨、番号18p-26-10)。

これらの新たな発光素子、特にLEDは化合物半導体基板上に多数個作られ、切取されて一つ一つの発光素子としてパッケージングされ販売されている。また望遠イメージセンサ用及びプリンタ用光源としてのLEDは一つのチップ上に数個のLEDを並べたLEDアレイとして販売されている。

先の発明の主旨は、発光素子のターンオン電圧または電流が、べつの発光素子のON状態によって形口を受けるよう、即ち、相互作用をするよう構成することにより発光の自己走査機能を実現することである。

図8図に先の発明1の実施例の第1の例(光結合による方法)を示す。これは発光素子として先に述べた発光サイリスタを用い、発生した光の一部が照射する発光サイリスタに入射するよう構成したもので、光が入った発光サイリスタのON電圧が低下する現象を利用するものである。今仮にクロックパルスφ₁がハイレベルとなり、発光サイリスタT(0)がONしているとする。このためその両隣に位置する発光サイリスタT(-1)、T(1)のON電圧が低下する。このため次の仮定クロックパルスφ₁にハイレベル電圧が印可されると発光サイ

リスタT(1)のみONさせる事が可能となる。これから自己走査を行なうことができる。

第9図に第8図の構成のデバイス構造を示す。N形GaAs基板上にP形(23)、N形(22)、P形(21)からなる発光サイリスタを設け、それぞれのP形(21)層に接続した電極(40)に伝送クロックラインを接続した構成となっている。動作は先に説明した通りである。

第10図に、先の発明の実施例の第2の例(電気的結合による方法)を示す。第7図に示した三端子サイリスタのゲート端子を图中的抵抗R₁、R₂でお互いに接続した構成である。今クロックパルスφ₁がハイレベル電圧となり発光サイリスタT(0)がON状態になっているとする。このときノードG₀はほぼ零ボルトとなっている。すると抵抗ネットワークから電流が流れ、発光サイリスタT(0)に近いノードが最も電圧が引き下げられ、離れていくほど影響は少なくなる。次の伝送クロックφ₁にハイレベル電圧が加わると発光サイリスタT(1)とT(+2)がON可能となるが、ノードG₀のほう

的接続を行なうことにより、2相の伝送クロックにて自己走査を行なうことが可能となる。その結果駆動回路を簡単化できる。

改良発明の実施例を紹介する。

改良発明の実施例の等価回路図を第11図に示す。これは発光しきい電圧、電流が外部から制御できる発光素子の一例として、最も標準的な三端子の発光サイリスタを用いた場合を表している。発光サイリスタT(-2)~T(+2)は、それらが一列に並べられた構成となっている。発光サイリスタT(-2)~T(+2)は、それぞれゲート電極G₋₁~G₂を有す。各ゲート電極は負荷抵抗R₁を有し、かつ電気的相互作用を行なうダイオードD₋₁~D₂を介して隣接する発光サイリスタのゲート電極と電気的に接続されている。またゲート電極には電源電圧V_{DD}が印加されている。各単体発光サイリスタのアノード電極に2本の伝送クロックライン(φ₁、φ₂)がそれぞれ1素子おきに接続されている。

動作を説明すると、まず伝送クロックφ₁がハイ

レベルとなり、発光素子T(0)がONしているとする。この時、3端子サイリスタの特性からゲート電極G₀は零ボルト近くまで引き下げられる(シリコンサイリスタの場合約1ボルトである)。電源電圧V_{DD}を例えば5Vとすると、抵抗R₁、ダイオードD₋₁~D₂のネットワークから各発光サイリスタのゲート電圧が決まる。そして発光素子T(0)に近い素子のゲート電圧が最も低下し、以降順に発光素子T(0)から離れるに従いゲート電圧は上昇していく。しかしながら、ダイオード特性の一方方向性、非対象性から電圧を下げる効果は発光素子T(0)の右半分しか働かない。即ちゲート電極G₀はゲート電極G₁に対し、ダイオードの両方向立ち上がり電圧V_{DD}だけ高い電圧に設定され、ゲート電極G₁はゲート電極G₀に対し、さらにダイオードの両方向立ち上がり電圧V_{DD}だけ高い電圧に設定される。一方左半分に相当するゲート電極G₋₁はダイオードD₋₁が逆バイアスとなっているため電流が流れず、従って電源電圧V_{DD}と同電位となる。

次の伝送クロックパルスφ₂は最近接の発光素子T

(1)、T(-1)及びT(3)、T(-3)等に加わるが、これらの中で最もON電圧が低い素子は発光素子T(1)で、約2V_{on}である。次に低い素子は発光素子T(3)であり、約4V_{on}となる。発光素子T(-1)、T(-3)のON電圧は約V_{on}+V_{on}となる。以上から伝送クロックパルスのハイレベル電圧を2V_{on}から4V_{on}の間に設定しておけば発光素子T(1)のみONさせることができ、伝送動作を行なうことができる。

また等価回路としてダイオードを示したが、第12図に示すように、発光サイリスタT_{pl}、T_{r2}および結合ダイオードT_{r3}等のトランジスタを用いて示しても、実効的に等価である。

以上述べたように電気的結合用の素子としてダイオード、トランジスタを用いることにより2相クロック駆動可能な発光素子アレイを実現することができる。

以上簡単に説明した先の発明及び改良発明によりワイヤボンディングの問題、駆動ICの問題、コンパクト化、短ピッチ化の問題等を解決するこ

ら電圧もしくは電流を印加するクロックラインを接続した発光素子アレイであって、該電気的手段が以下に示すトランジスタを用いたカレントミラー回路である発光素子アレイである。

- A. 各トランジスタの制御電極が各発光素子の第1の制御電極に接続されて、該トランジスタと該発光素子内のトランジスタ回路とがカレントミラー回路を構成する。
- B. 該トランジスタは、制御電極が接続された発光素子に対して一定方向に位置する近傍の発光素子の第2の制御電極に接続され、該第2の制御電極の電位が該トランジスタにより制御可能とされている。

本発明のカレントミラー回路の形成方法としては、例えば各発光素子のバイアス電圧が印加される第2導電型半導体に接する第1導電型半導体(第1の制御電極)に制御電極が接続されたトランジスタを、該発光素子の一定方向近傍の発光素子の、クロックラインが接続された第1導電型半導体に接する第2導電型半導体(第2の制御電極)、

とがでる。かつ駆動方法も簡単化することができる。

【発明が解決しようとする課題】

従来例で説明した改良発明において、結合用素子としてダイオード、トランジスタ等の方向性を持つ素子を用いることにより2相クロックによる伝送動作を可能にした。しかし伝送クロック電圧幅が2V_{on}と狭いという問題点があった。

【課題を解決するための手段】

本発明は制御電極間を電気的手段により接続する方法を改良し、伝送クロック電圧幅を広く取れることを可能とするものである。このための手段としてカレントミラー回路を用いる。

本発明は、しきい電圧もしくはしきい電流を制御するための制御電極を有する積層半導体型発光素子を多数個、一次元、二次元、もしくは三次元的に配列し、各発光素子の制御電極を、各々の発光素子の近傍に位置する少なくとも2つの発光素子の制御電極と互いに電気的手段にて接続したネットワーク回路を形成し、各発光素子に、外部か

に接続する方法があげられる。

本発明に使用するトランジスタとしては、発光素子に使用する半導体と同相の物を使用することが、発光素子アレイの小型化にたいして効果があるので好ましい。

発光素子の制御電極電位をトランジスタを介して制御するには、制御電極をトランジスタを介して例えばアースして、制御電極電位を降圧可能とする方法がある。

本発明に使用する発光素子としては、しきい電圧もしくはしきい電流が外部から制御可能な発光素子であれば、任意の素子が使用できる。なかでも、例えばP形導電形半導体領域及びN形導電形半導体領域を複数積層した発光素子等の負性抵抗を有する発光素子を用いることが望ましい。

またカレントミラー回路を構成するトランジスタを発光素子を形成しているP形、N形層を組み合わせて形成すると、簡単な製造方法で、実現できるので好ましい。

【作用】

本発明ではカレントミラー回路を用いて発光素子間の電圧的接続を行なうことにより、実施例にて詳述に説明するように2相の伝送クロックにて自己発光を行なうことが可能となり、かつ伝送クロックパルス電圧幅を広く取ることが可能となる。

【実施例】

<実施例1>

実施例1の原理の等価回路図を第1図に示す。これは発光しきい電圧、電流が外部から制御できる発光素子の一例として、最も簡単な三端子の発光サイリスタを用いた場合を表している。PNPトランジスタT_{r1}とNPNトランジスタT_{r2}の組合せによりサイリスタが形成されている。トランジスタT_{r3}のベースはNPNトランジスタT_{r2}のベースに接続され、NPNトランジスタT_{r2}と組合わさってカレントミラー回路を形成している。発光サイリスタT(-1)~T(1)は、一列に並べられ、かつ発光サイリスタ間がカレントミラー回路により接続された形成である。

発光サイリスタT(-2)~T(+2)はそれぞれゲート電極G₋₁~G₊を有し、各ゲート電極は負荷抵抗R_iを有す。ゲート電極には電源電圧V_{cc}が印加される。各単体発光サイリスタのアノード電極(T_{r1}のエミッタ)に2本の伝送クロックライン(ϕ_1 , ϕ_2)がそれぞれ1素子おきに接続される。クロックラインにはクロックラインの電流を制限するために抵抗R_eが設けられる。

動作を説明する。まず伝送クロック ϕ_2 がハイレベルとなり、発光素子T(0)がONしているとする。この時、3端子サイリスタの特性からゲート電極G₀はほぼボルト近くまで引き下げられる(シリコンサイリスタの場合約1ボルトである)。電源電圧V_{cc}を5Vとすると、ゲートG₀から抵抗R_iで制限された電流が流れ込む。またエミッタ(アノード)からは抵抗R_eで制限された電流が流れ込む。さてトランジスタT_{r2}とT_{r3}はカレントミラー回路になっているため、トランジスタT_{r3}にはT_{r2}に比例した電流駆動能力が得られる。この電流駆動能力からトランジスタT_{r3}のコレクタに接続される抵抗R_iを介して電流を引き込み、隣の発光素子

T(1)のゲート電極G₁の電位を引き下げる。トランジスタT_{r3}の駆動能力を適宜に調整することにより、ゲート電極G₁の電位をほぼ零まで下げることができる。発光素子T(1)のON電圧はゲート電極G₁の電位より基端電位V_{ss}だけ高い電圧となるため、伝送クロック ϕ_1 の電圧は基端電位V_{ss}以上であればON状態を発光素子T(1)に伝送できる。さてこのように発光素子T(1)のON電圧は下がることになるが、反対側に位置する発光素子T(-1)のON電圧は変化しない。これはゲートG₀がほぼ零にまで下がったとしても、発光素子T(-1)のON電圧を定めるゲートG₋₁の電圧に影響を与えないからである。

以上のことから、このカレントミラーを用いた発光素子アレイはV_{ss}からV_{cc}+V_{ss}までの伝送クロックパルス電圧によって動作し、電圧幅としてV_{cc}という広い幅で動作させることができる。

本実施例において負荷抵抗R_iは必ずしも必要でなく、これを除去しても動作する。

本実施例では伝送クロックパルスが2相の場合

で動作を説明したが、3相以上であっても、もちろん動作する。さらに第1図では発光素子を一列に並べているが、配列を面状にする必要はなく、応用によって並行させてもよいし、途中から二列以上に増やすことも可能である。またこの説明では発光サイリスタに限定して説明したが同様な機能を持つデバイスであればこれに限られず何でもよい。さらには、発光素子はレーザサイリスタであってもよい。この駆動方法は発光素子を単体部品で形成してもよく、また次の実施例で示すようななんらかの方法により集積化してもよい。

<実施例2>

実施例1では等価回路を示し説明したが、実施例2は実施例1を集積化して作成する場合の構成についての説明するものである。本実施例の要点はカレントミラー回路T_{r2}、T_{r3}を発光サイリスタと同じ工程で形成することのできる構造にある。

本発明の構造概念図を第2図に示す。接地されたN形GaAs基板(1)上にN形半導体層(24)、P形半導体層(23)、N形半導体層(22)、

P形半導体層(21)の各層を形成する。そしてホトリソグラフィ等及びエッチングにより分層膜(50)を設け各半導体層T(-1)~T(+1)に分層する。アノード電極(40)はP形半導体層(21)とオーミック接触を有す。ゲート電極(41)はn形半導体層(22)とオーミック接触を有す。絶縁層(30)は原子と配線との短絡を防ぎ、同時に特性劣化を防ぐための保護膜でもある。図中破線で囲った部分がトランジスタT_{r3}であり、ゲート電極(41)に接続される。トランジスタT_{r3}はコレクタ(22)、ベース(23)、エミッタ(24)を有す。トランジスタT_{r1}はエミッタ(21)、ベース(22)、コレクタ(23)を有し、トランジスタT_{r2}はコレクタ(22)、ベース(23)、エミッタ(24)を有す。トランジスタT_{r2}のベースは、トランジスタT_{r3}のベースが電気的に接続されている。またこれらのトランジスタのコレクタは分層されている。ゲート電極(41)は負荷抵抗R_Lを介して電源V_{cc}に接続され、基板1は接地される。基板1はト

ために、より複雑な構造、層構成を導入しても良い。その具体的な例としてダブルヘテロ構造の採用が挙げられる。一例を第15図に示す(田代他1987年春応用物理学会誌、各号28p-2E-8)。これはN形GaAs基板に0.5μmのN形GaAs層を積み、その上にバンドギャップの広いN形AlGaAsを1μm、P形GaAs層を5nm、N形GaAs層を1μm、バンドギャップの広いP形AlGaAsを1μm、そして取り出し電極とのオーミック接触をとるためのP形GaAs層を0.15μm積層した構造である。発光層は間に挟まれた、1μmのN形GaAs層である。これは注入された電子、正孔がバンドギャップの狭いGaAs層に閉じ込められ、この領域で再結合し発光する。

またここではPNPNのサイリスタ構成を例に説明したが、この電位を検討し、しきい電圧が低下し、これを利用して伝送動作を行わせるという構成は、PNPN構成のみに限られず、その機能が達成できる素子であれば特に限定されない。例えば、PNPNの4層構成でなく、6層以上の構

造にトランジスタT_{r2}、T_{r3}のエミッタになっている。

絶縁層(30)としては、光が外へ出やすいように発光サイリスタの発光波長の光がよく通る材質をもちいることが望ましい。一方各素子間に光結合が発生すると本実施例の伝送動作が影響されることがある。これを防止するため、ゲート電極の一部を発光素子間の分層膜のなかに入れ、光結合を防止する構造としている。

本実施例の構成は実施例1(第1図)に示した各層図解と全く同じ構成であり、全く同じ動作をする。従って、伝送クロックφ₁、φ₂のハイレベル電圧を交互に互いに少しづつ異なるように設定すれば、発光サイリスタのON状態は順次伝送されていく。即ち、発光点が順次伝送される。

本実施例では伝送クロックパルスとして、2相のパルスφ₁、φ₂を設定したが、より安定な伝送動作を求める場合にはこれを3相、4相と増加させてもよい。

また本実施例では発光サイリスタの構造を最も簡単な場合について示したが、発光効率を上げる

構成でも同様な効果を得ることが可能である。さらには発光層を形成することが可能である。さらには即応型(SI)サイリスタまたは電界制御サイリスタ(FCT)と呼ばれるサイリスタを用いてもまったく同様である。このSIサイリスタまたはFCTは電極ブロックとして動く中央のP形半導体層を空乏層で囲み包囲した構造となっている(S. H. Sze 著、Physics of Semiconductor Devices, 2nd Edition pp238-240)。

<実施例3>

実施例3を第3図、第4図、第5図に示す。この実施例は実施例2の、より現実的な構造を示したものである。第3図に本実施例の平面図を、第4図に第3図のX-X'ラインの断面図を、第5図に第3図のY-Y'ラインの断面図を示す。

第3図について説明する。

各発光サイリスタのゲートにつながる負荷抵抗R_Lは負荷抵抗(63)とし、発光サイリスタT(-1)~T(1)を構成する半導体層を採用している。カレントミラー用トランジスタT_{r3}(-1)~T_{r3}(1)

のコレクタはコンタクト穴 C_1 を過ってゲート電極(41)に接続される。コンタクト穴 C_1 は半導体層と電極との接続孔である。発光サイリスタのアノード電極(40)と転送クロックライン ϕ_1 とはスルーホール接続孔 C_2 を用いて接続される。電源ライン(42)は電源電圧 V_{cc} に接続され、負荷抵抗(63)(即ち R_1)に接続される。またこれはゲート電極(41)と同時に形成される。ここでゲート電極(41)は発光素子 $T(-2) \sim T(+1)$ がその発光によりお互いに影響しあう事を防ぐための遮光層をも兼ねている。

第4図に $X-X'$ ラインでの断面構造図を、第5図に $Y-Y'$ ラインでの断面構造図を示す。発光素子はN形GaAs基板(1)上にN形GaAs層(24b)、N形AlGaAs層(24a)、P形GaAs層(23)、N形GaAs層(22)、P形AlGaAs層(21b)、P形GaAs層(21a)の各層を形成する。そしてホトリソグラフィ等及びエッチングにより、各単体発光素子に分離する(分離溝(50))。また分離溝(51)は発光素

子ホール C_2 を設け、電極 ϕ_1 、 ϕ_2 を形成する。以上の工程により本実施例3の構造が完成する。

この工程の順序は必ずしも上記のとおりである必要はないし、本構造の上にさらに透光性絶縁膜を設け、信頼度を向上させるようにしてもよい。さらには発光素子上の絶縁膜が厚くなり光透過率が低下することを嫌うなら、発光素子の上部絶縁膜の一部または全部をホトリソグラフィ等の方法により除去してもよい。

尚、以上述べてきた本考案の一連の実施例は基板として半導体基板を用い、その電位を零ボルト(接地)とした例を示してきたが、本考案はこれに限られず基板として他の物質を用いてもよい。もっとも近い例でいえばクロム(Cr)等をドープした半導体性GaAs基板上に実施例のn形GaAs基板に相当するn形GaAs層を形成し、この上に実施例で説明した構造を形成してもよい。また例えばガラス、アルミナ等の絶縁基板上に半導体膜を形成し、この半導体を用いて実施例の構造を形成してもよい。

子 $T(0)$ とカレントミラー用トランジスタ $T(r3)$ とを分離するための溝である。負荷抵抗(63): R_1 は発光素子のN形GaAs層(22)を用いている。これは別の層を用いてもよい。例えばP層(23)を用いる、あるいは別の抵抗領域を設け、これを用いてもよい。

本実施例3の製造工程を説明する。まずN形GaAs基板上にN形GaAs層(24b)、N形AlGaAs層(24a)、P形GaAs層(23)、N形GaAs層(22)、P形AlGaAs層(21b)、P形GaAs層(21a)の各層を順次形成する。そして分離溝(50)を形成し、発光素子及び抵抗間の分離を行なう。次にゲートの取り出し部分及びトランジスタ $T(r3)$ 形成部分のP形AlGaAs層(21b)、P形GaAs層(21a)を除去し、さらに分離溝(51)を形成する。このP形層除去工程で同時に抵抗(63)部のP形層も除去する。絶縁膜(30)を形成し、コンタクト孔(C_1)を設ける。電極(40)、(41)(42)を形成する。層間絶縁膜(31)を形成して、スルー

本実施例ではLEDを対称に説明を行なってきたが、本発明はレーザにも適用可能なことは言うまでもない。

<応用例>

以上の実施例にて説明してきた自己走査可能な発光素子アレイは各種応用が期待できる。例として光走査の密着イメージセンサ、光プリンタの書き込みヘッド、ディスプレイ等が挙げられ、これらの機器の低価格化、高性能化に大きな寄与をすることができる。

上記実施例においては、各々隣接する発光素子の制御電極を互いに電気的手段にて接続しているが、例えば各々隣接する発光素子を1つおきの発光素子として、1つの発光素子アレイに2系列の走査電極を設けることも可能である。また2次元、3次元の発光素子アレイの場合には各発光素子は近傍の4つまたは6つ以上の発光素子と電気的手段にて接続される。

【発明の効果】

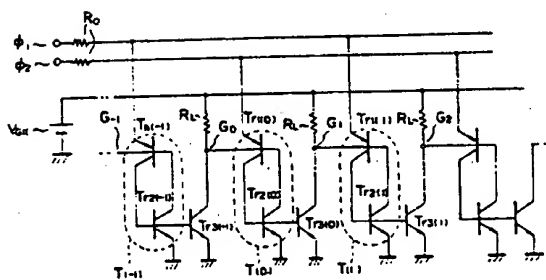
以上述べてきたように、本発明は発光素子アレ

イ周をカレントミラー回路を用いて結合させることにより、2相の伝送クロックで発光点の伝送を行なうことがでる。かつ伝送クロックパルス電圧の幅を広く取ることがでる。またワイヤボンディングの数の減少、駆動ICの減少、コンパクト化、短ピッチ化等が可能となる。

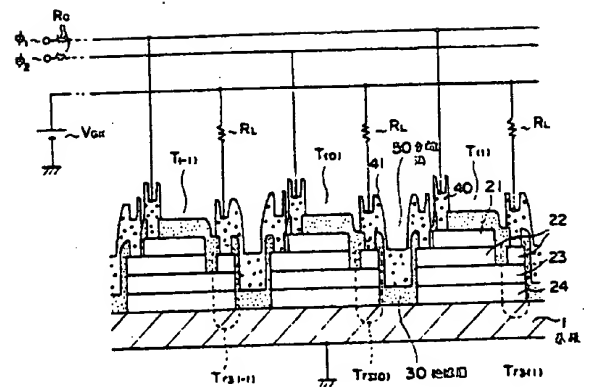
また本機は密ロイメージセンサ、光プリンタ、ディスプレイ等へ応用で、これらの画素の性能向上、低価格化に大きく寄与することが出来る。

4. 図面の簡単な説明

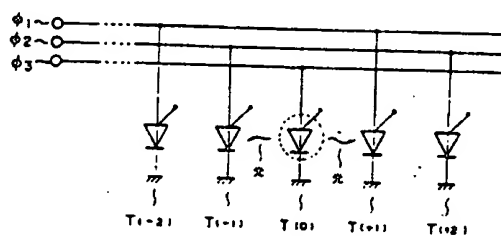
第1圖は本発明の第1の実施例を示す等価回路図、第2圖は本発明の第2の実施例を示す断面図、第3圖は本発明の第3の実施例を表わす平面図、第4圖、及び第5圖は本発明の第3の実施例を表わす断面図、第6圖は発光サイリスタの電流電圧特性、第7圖は三結子発光サイリスタの構成図、第8圖は従来例（等価回路図）、第9圖は従来例（断面図）、第10圖、第11圖、及び第12圖は従来例の等価回路図、第13圖はダブルヘテロ構造の発光サイリスタの伝導を表わす断面図



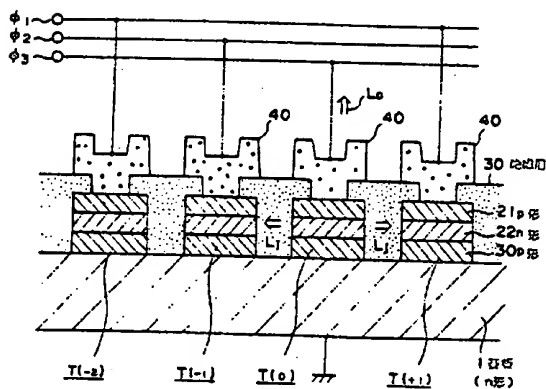
第 1 圖



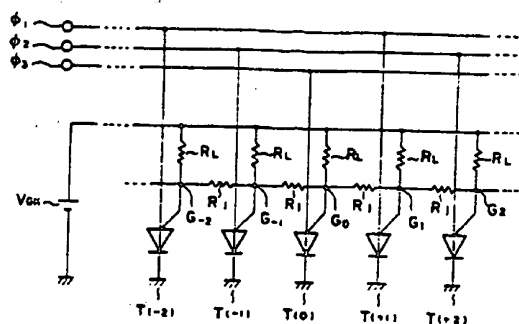
第 2 回



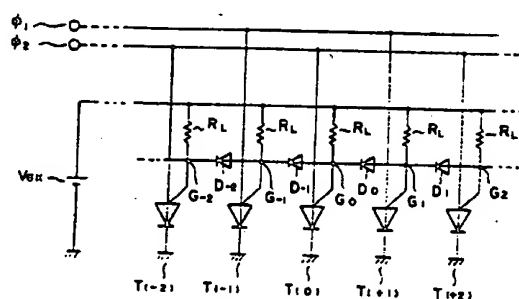
第 8 図



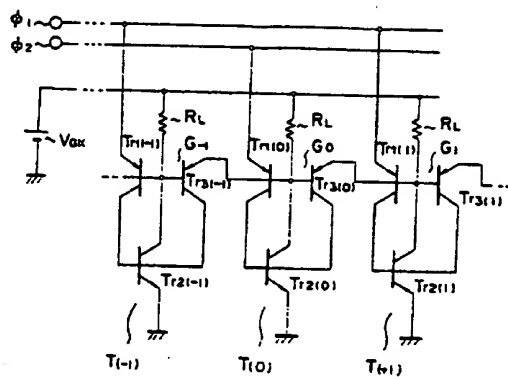
第 9 図



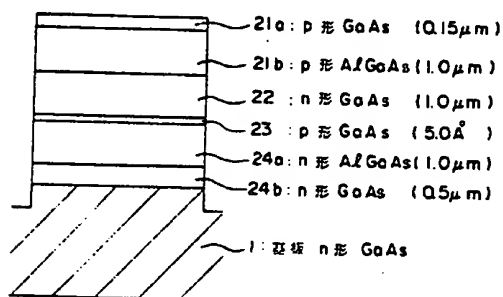
第 10 図



第 11 図



第 12 図



第 13 図

第1頁の続き

⑥Int. Cl.⁸

G 09 G 3/32
H 01 L 33/00

識別記号

J

庁内整理番号

6376-5C
7733-5F